



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06037273 A**(43) Date of publication of application: **10.02.94**

(51) Int. Cl.

H01L 27/108**H01L 21/28****H01L 21/90**(21) Application number: **04191122**(22) Date of filing: **17.07.92**(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **TAKATOU HIROSHI**
OZAKI TORU
CHIKUDAI SEIICHI
MORIKADO MUTSUO
NITAYAMA AKIHIRO

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

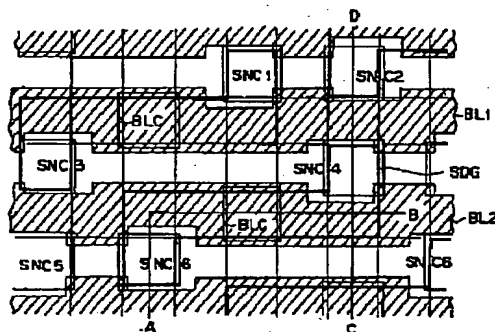
semiconductor structure in degree of integration.

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a semiconductor structure micronized and enhanced in degree of integration by a method wherein contact holes are formed in a self-aligned manner keeping wirings minimal in pitch without using a lithography technique.

CONSTITUTION: A semiconductor device is provided, where an electrode wiring is made to serve as a word line of a DRAM memory cell, and a bit line electrode and an Si diffusion layer electrode are made to serve as an upper electrode and a lower electrode respectively. A wide region serves as a bit line contact BLC, or electrode wirings are made to serve as bit lines BL₁ and BL₂. Furthermore, the lower electrode layer of a capacitor is provided to an upper part, an Si diffusion electrode is provided to a lower part, and a wide region serves as SNC₁ to SNC₆. At least, a film buried on a center side is removed in a region where a distance between the same wiring layers is larger than a prescribed value. By this setup, a wiring space can be reduced to a minimum so as to enhance a



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-37273

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.⁵

H 0 1 L 27/108

21/28

21/90

識別記号

庁内整理番号

F I

技術表示箇所

L 9055-4M

C 7514-4M

8728-4M

8728-4M

H 0 1 L 27/ 10

3 2 5 C

3 2 5 P

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号

特願平4-191122

(22)出願日

平成4年(1992)7月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高東 宏

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 尾崎 徹

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 竹大 精一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

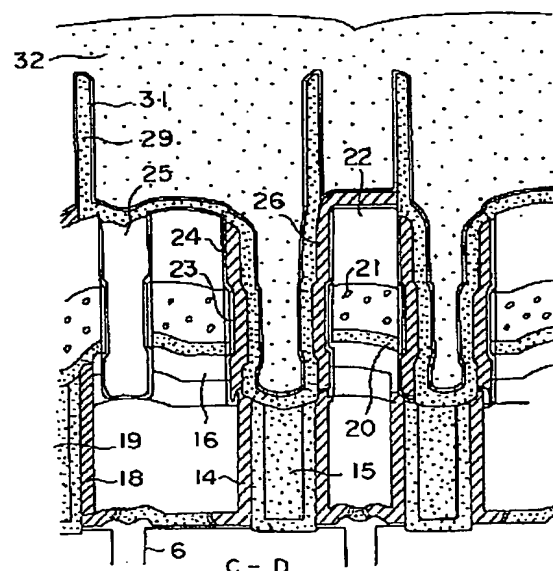
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【目的】本発明は、半導体装置の配線構造においてコンタクト孔を自己整合的に形成することにより微細かつ高集積化することを目的とする。

【構成】半導体装置のSi基板層および電極配線層において、その同一配線層間に任意の物質膜あるいはその多層膜を埋め込むが、その同一配線層間の距離が一定値以上の広い領域では、その少なくとも中心側に埋め込まれた膜が除去されていることを特徴とする。さらにその製造方法であって、同一配線層間の距離が一定値以上の広い領域を形成後、埋め込み用物質をこの広い領域では中心部分に空隙が残るように、その他の配線層間では完全に埋めつくすようにして堆積させ、ついでこの堆積部分を等方エッチングし、上記の広い領域の少なくとも中心部分の膜を選択的に除去し、ここにコンタクト孔を形成させることを特徴とする。



【特許請求の範囲】

【請求項1】 半導体装置のSi基板層および電極配線層において、その同一配線層間に、任意の物質膜あるいはその多層膜が埋め込まれており、その少なくとも中心側に埋め込まれた膜は、その同一配線層間の距離が一定値以上の広い領域では除去されていることを特徴とする半導体装置。

【請求項2】 上記電極配線はDRAMのメモリセルのワード線であり、上層電極としてのビット線電極および下層電極としてのSi拡散層電極を有し、該広い領域がビット線コンタクト孔であり、あるいは該電極配線がビット線であり、上層にキャパシタの下部電極層、下層にSi拡散層電極を有し、該広い領域がストレージノードコンタクト孔であり、該電極配線と該コンタクト孔との距離が一定であることを特徴とする請求項1記載の半導体装置。

【請求項3】 請求項1記載の半導体装置の製造方法であって、該同一配線層間の距離が一定値以上の広い領域を形成後、該広い領域では完全には埋まらず、その他の配線層間は完全に埋めつくす適当な厚みの任意の物質膜を堆積させる工程と、この任意の物質膜の堆積部分を等方エッチングし、該広い領域の少なくとも中心部分の膜を選択的に除去し、該広い領域部分に孔を形成させることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の配線構造に係り、特にコンタクト孔を自己整合的に形成した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 半導体素子の微細化、高集積化に伴い、その電極配線の線幅およびその間隔もますます小さくなり、可及的最小デザインサイズにまでなろうとしている。そうした配線と配線の間にも、その配線とは絶縁を保ちながら、その上下の電極を直接つなぐコンタクト孔を形成する必要があるため、従来はそのコンタクト孔を形成するリソグラフィーの合わせ精度を考慮して、配線間隔をその孔サイズと合わせて大きくする必要があり、それが、高集積化の妨げとなっていた。また、一般的にリソグラフィーで決まる最小加工寸法は配線に比べ孔の方が大きくなる傾向にあるため、ますます、不必要な配線間隔をその領域で用いる必要が生じていた。

【0003】

【発明が解決しようとする課題】 上述のように従来の構造では、コンタクト孔が側面を通過する領域では配線間隔をコンタクトサイズに合わせ、その精度を考慮して離す必要があり、それが微細化を妨げるという問題があったが、本発明は、この問題点を解決すべくなされたもので、その目的は配線ピッチを最小に保ちつつ、上記コンタクト孔をリソグラフィーを用いず、自己整合的に容易

に形成することにより、より微細かつ高集積化された半導体構造を提供することにある。

【0004】

【課題を解決するための手段】 すなわち本発明は、第1に、半導体装置のSi基板層および電極配線層において、その同一配線層間に、任意の物質膜あるいはその多層膜が埋め込まれており、その少なくとも中心側に埋め込まれた膜は、その同一配線層間の距離が一定値以上の広い領域では除去されていることを特徴とする半導体装置を提供するものである。

【0005】 本発明は、第2に、上記半導体装置において、上記電極配線がDRAMのメモリセルのワード線であり、上層電極としてのビット線電極および下層電極としてのSi拡散層電極を有し、該広い領域がビット線コンタクトであり、あるいは該電極配線がビット線であり、上層にキャパシタの下部電極層、下層にSi拡散層電極を有し、該広い領域がストレージノードコンタクトであることを特徴とする半導体装置を提供するものである。

【0006】 本発明は、第3に、上記構成の半導体装置の製造方法であって、該同一配線層間の距離が一定値以上の広い領域を形成後、該広い領域では完全には埋まらず、その他の配線層間は完全に埋めつくす適当な厚みの任意の物質膜を堆積させる工程と、この任意の物質膜の堆積部分を等方エッチングし、該広い領域の少なくとも中心部分の膜を選択的に除去し、該広い領域部分に孔を形成させることを特徴とする方法を提供するものである。

【0007】 なお、配線層間に埋め込まれる物質膜あるいはその多層膜としては、絶縁膜、導電膜のほか、目的に応じて任意の有機質膜、無機質膜を用いることができる。

【0008】

【作用】 上記手段により形成されたコンタクト孔は、リソグラフィーを必要としないため、その合わせ精度を考慮して、配線との間に余裕をとる必要がなくなるため、配線間隔は、最小寸法まで近ずけることも可能となり高集積化が図れる。また、リソグラフィーを必要としないため、工程が簡略化できる。さらに、コンタクトは配線に自己整合に形成できるため、その位置関係はつねに一定であり、従ってその間の容量も一定となり、半導体装置の性能のバラツキも防止できる。

【0009】

【実施例】 以下、図面を参照して本発明をスタック型DRAMのメモリセルのビット線とストレージノードコンタクトに適用した場合の実施例を詳細に示す。

【0010】 図1は、第1の実施例に係るメモリセルの平面図を示しており、図中、SDGは活性化領域、BL Cはビット線コンタクト、BL 1～BL 2はビット線、SNC 1～SNC 6はストレージノードコンタクト形成

領域をそれぞれ示している。

【0011】このようにビット線は、ストレージノードコンタクト形成領域で間隔が広がった構造となっており、そのコンタクトは自己整合にリソグラフィーを用いず形成される。

【0012】なお、このビット線の微細加工を実現するために、図4に示すような、クロムパタン併用型のエッチ利用位相シフト法を用いるのも有効である。

【0013】図2は図1に示す上記メモリセルのA-B線、図3は同じくC-D線に沿う断面図であり、図中、6はトレンチ溝、8はポリシリコンゲート、9は酸化膜、10はSiN膜、11はポリシリコン、14はSiN膜、15はストレージノードプラグ、16はCVD酸化膜、18はSiN膜、19はビット線プラグ、20はポリシリコン、21はWSi膜、22はCVD酸化膜、23は酸化膜、24はSiN膜、25はCVD酸化膜、26はSiN膜、29はポリシリコン、31はSiN膜、32はプレートポリシリコンをそれぞれ示している。

【0014】図4ないし図19を参照して、本実施例のメモリセルの製造工程を詳細に説明する。

【0015】まず、Si基板上にたとえばトレンチ素子分離形成用マスクとして熱酸化膜2を300オングストローム、SiN膜3を1500オングストローム、CVD酸化膜4を2000オングストローム、順次堆積し、ついでパターンニング後、上記マスクをRIEで加工する。その後、CVD酸化膜5の側壁残しで、溝幅をせまくした後、Si基板をたとえば0.5μmエッチングし、トレンチ溝6を形成する(図4)。

【0016】その後、トレンチ内埋め込み用のCVD酸化膜7をたとえば6000オングストローム堆積する(図5)。

【0017】その後、たとえば、ケミカルポリッシュエッチングでSiN膜3をストッパーとして、上記CVD膜7をエッチバックし、その後、SiNマスク3を除去する(図6)。

【0018】ここまでの工程で、T型構造をしたトレンチ素子分離が自己整合で形成できる。

【0019】その後、通常のトランジスタ形成工程により、ポリシリコン層8、酸化膜9、SiN膜10で構成されたワード線電極を形成する(図7)。

【0020】その後、ワード線電極をたとえば200オングストローム酸化後、ポリシリコン11を500オングストローム堆積し、その後展開絶縁膜12をたとえば4000オングストローム堆積し、ポリッシュエッチングで平坦化する。

【0021】その後、ストレージノードプラグの孔13を開孔後、ポリシリコン11を除去し、酸化後、SiN膜14の側壁残しを行って基板を露出させる(図8および図9)。

【0022】その後、ストレージノードプラグとなるポリシリコン15を埋め込み、その上に層間膜SiO₂ 16を1000オングストローム堆積し、次にビット線コンタクト17を開孔し、ポリシリコンストッパー11でRIEをとめる。

【0023】その後、ポリシリコン11を除去し、酸化後、SiN膜18を側壁残しし、上記ストッパー11と絶縁を保ちつつ基板を露出させた後、ビット線プラグのポリシリコン19を埋め込み、その後、ビット線電極としてのポリシリコン20を500オングストローム、WSi 21を1500オングストローム、CVD酸化膜22を2000オングストローム堆積する(図10および図11)。

【0024】その後ビット線の加工を行うことにより、図1で示した、ストレージノードコンタクト領域でのみ、間隔の広いビット線が形成される。

【0025】その後、たとえば200オングストローム酸化し23、SiN 24を200オングストローム、層間膜としてCVD SiO₂ 25を1500オングストローム堆積する。

【0026】これにより、上記のストレージノードコンタクト領域の部分ではCVD SiO₂ 25が完全に埋め込まれず中心部に間隙が形成され、上記のストレージノードコンタクト領域以外のすべてのビット線間では、完全に層間膜25で埋め込まれる(図12および図13)。

【0027】その後、たとえば、等方的なエッチングにより、層間膜25がストレージノードコンタクト領域では除去され、他の領域では埋め込まれたままの状態にすることができ、これにより、リソグラフィーなしに自己整合で、ストレージノードコンタクトが開孔できる。従って、リソグラフィーの合わせ精度を考慮して配線との間に余裕をとる必要がなくなるため、配線間隔を最小寸法まで近づけることができる。さらに、このコンタクトとビット線配線との距離、つまり、互いの位置関係は常に一定とすることができ、その間の容量も一定となり、半導体装置のパラッキも防止できる。

【0028】その後、たとえばSiN膜26を500オングストローム堆積した後、ストレージノードのリソグラフィーを行いレジストパターンを形成する。その後、LPD後28をレジスト上には成長しないように、選択的に成長させ、その後レジストを除去し、続いて、SiN膜26をRIEすることにより、ストレージノードプラグを露出させる(図14および図15)。

【0029】その後、ストレージノード電極となるポリシリコン29を700オングストローム堆積し、CVD酸化膜30をエッチバックにより埋め込んだ後、ポリシリコン29をエッチングして、1ビットごとに分離する(図16および図17)。

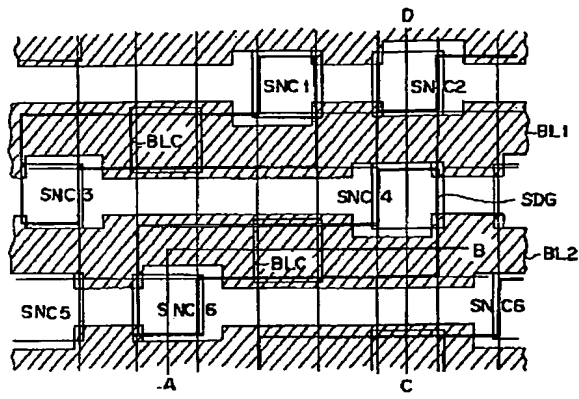
【0030】その後、たとえば弗酸系のエッチングで、

6

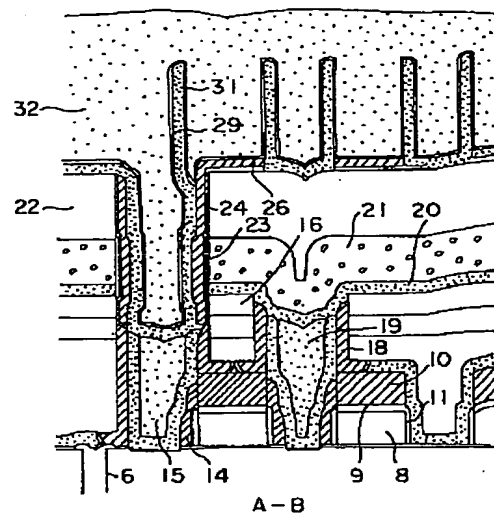
【図2】図1のA-B断面図、

BL1~BL1…ビット線、SNC1~SNC6…スト
レージノードコンタクト領域、BLC…ビット線コンタ
クト、SDG…活性化領域、1…Si基板、2…酸化
膜、3…SiN膜、4、5…CVD酸化膜、6…トレン
チ溝、7…CVD酸化膜、8…ポリシリコンゲート、9
…酸化膜、10…SiN膜、11…ポリシリコン、12
…層間膜、14…SiN膜、15…ストレージノードプ
ラグ、16…CVD酸化膜、17…ビット線コンタク
ト、18…SiN膜、19…ビット線プラグ、20…ポ
リシリコン、21…WSi膜、22…CVD酸化膜、2
3…酸化膜、24…SiN膜、25…CVD酸化膜、2
6…SiN膜、28…LPD酸化膜、29…ポリシリコ
ン、30…CVD酸化膜、31…シリコン窒化膜、32
…プレートポリシリコン、40…位相シフタ (SiO₂
膜)、41…クロム、43…レジスト

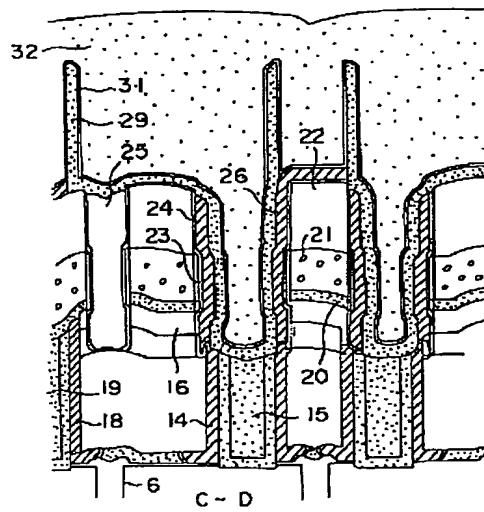
【図1】



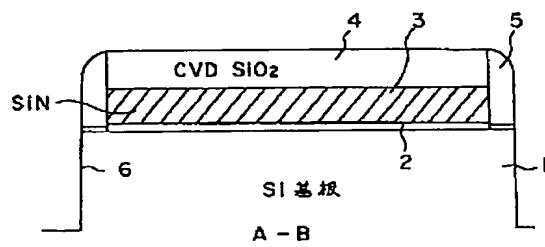
【図2】



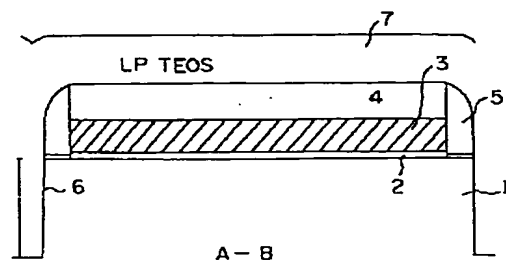
【図3】



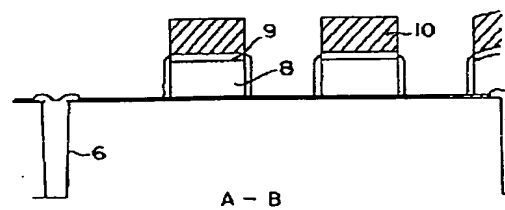
【図4】



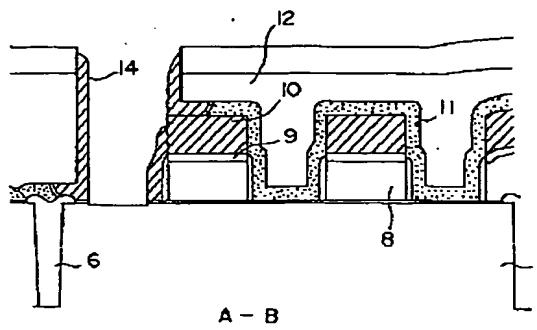
【図5】



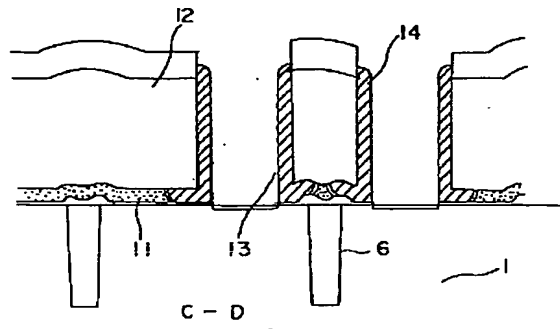
【図7】



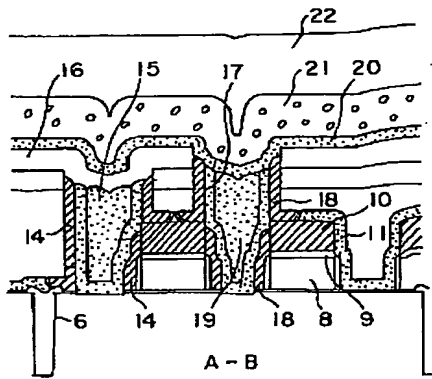
【図8】



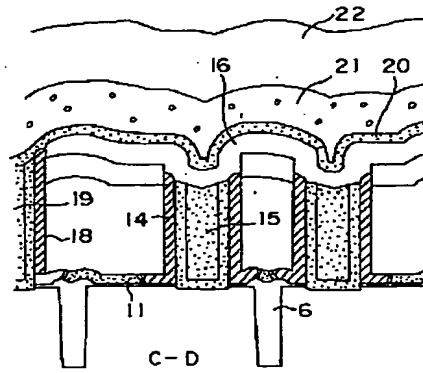
【図9】



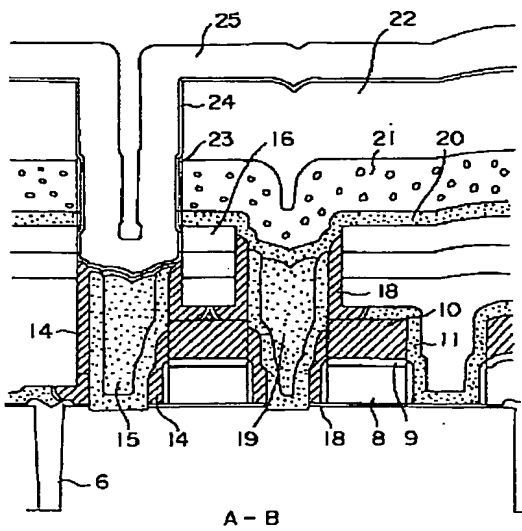
【図10】



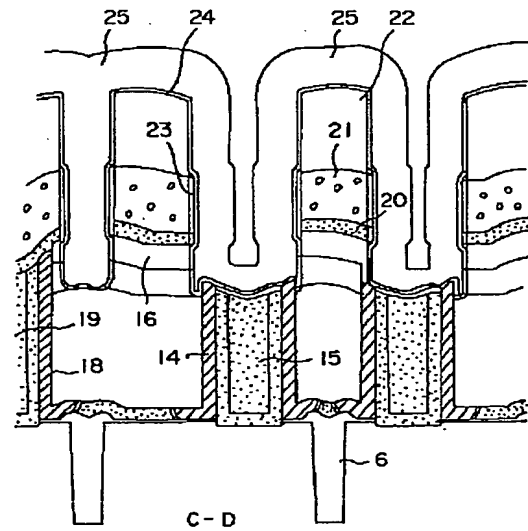
【図11】



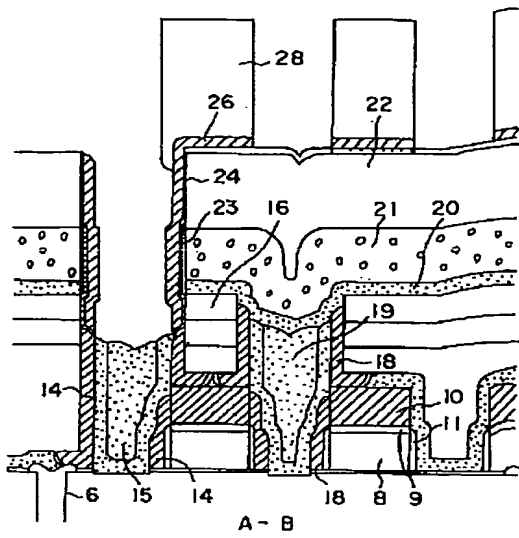
【図12】



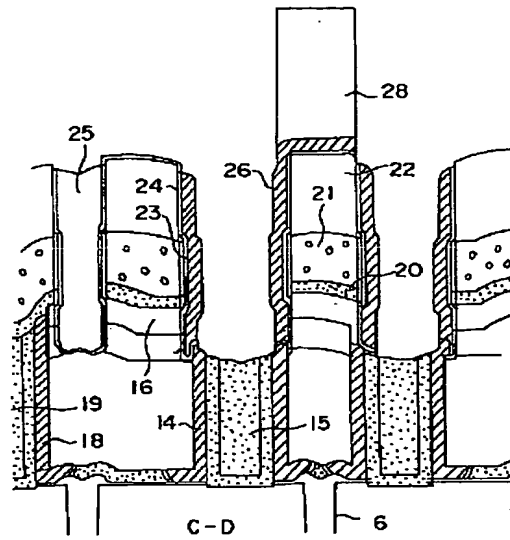
【図13】



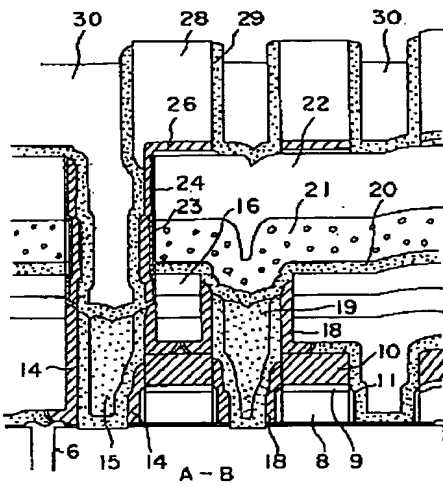
【図14】



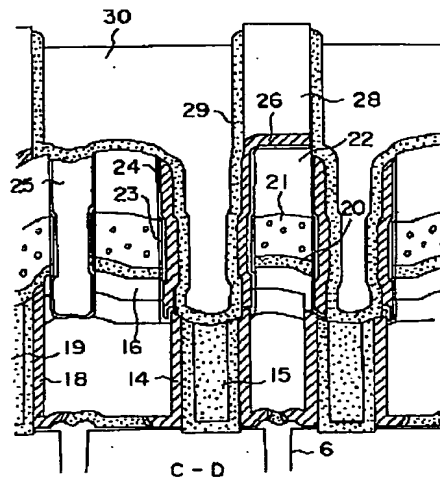
【図15】



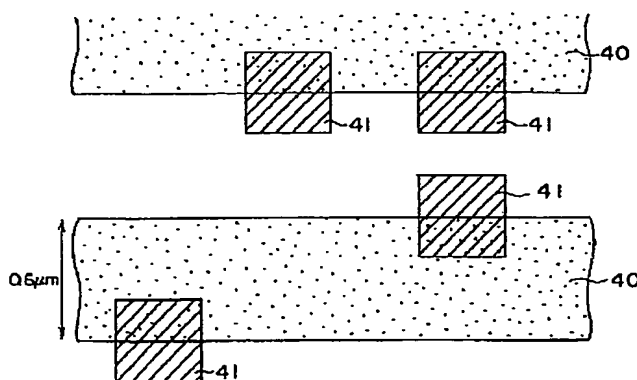
【図16】



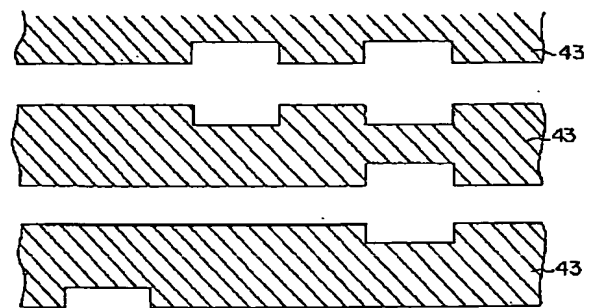
【図17】



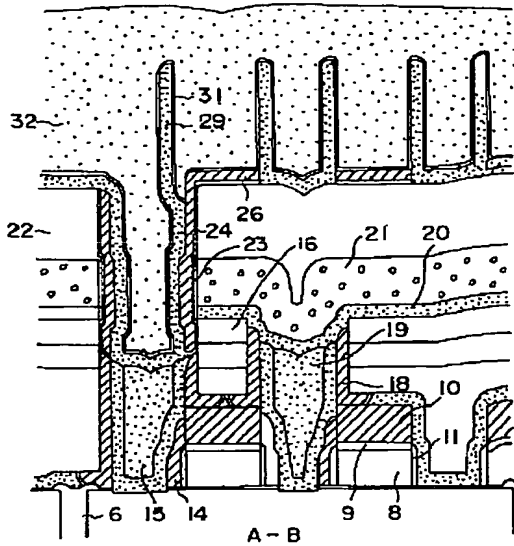
【図20】



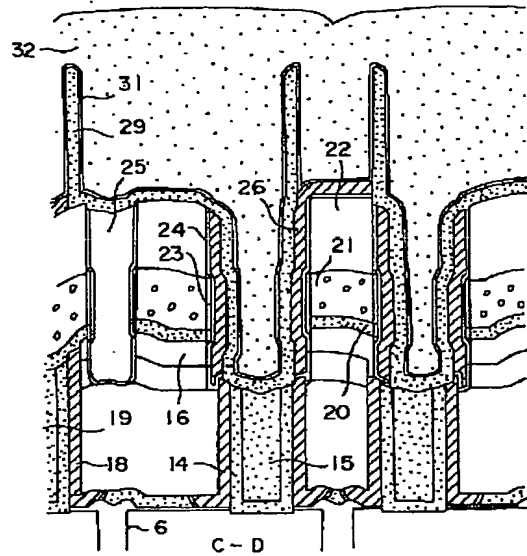
【図21】



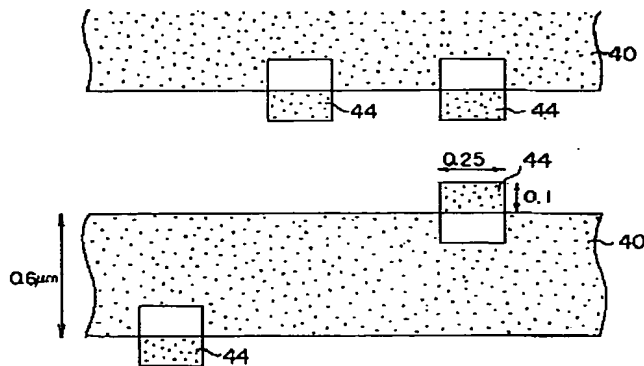
【図18】



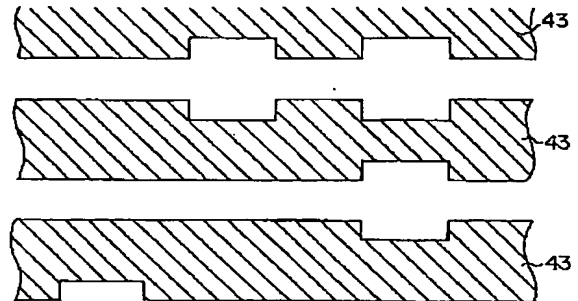
【図19】



【図22】



【図23】



フロントページの続き

(72)発明者 森門 六月生
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 仁田山 晃寛
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内